

SOC thème Architecture

Ressources

- [Lien vers le cours sur Moodle](#)
- [Documents d'accompagnement Eduscol](#)

Exercice 1 Q1

Source : video Lumni <https://www.lumni.fr/video/une-histoire-de-l-architecture-des-ordinateurs>

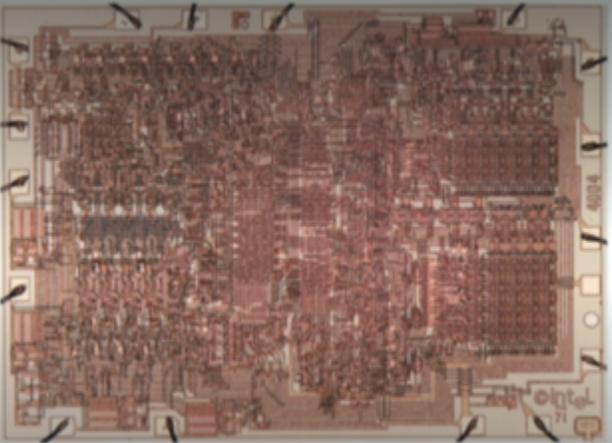
Depuis les années 1950 et les modèles d'architecture de [Von Neumann](#) ou de [Harvard](#), les grands principes de fonctionnement des ordinateurs restent les mêmes, le principal facteur d'amélioration des performances est la miniaturisation

Exercice 1 Q1 Intel 4004 (1971)

Ce premier microprocesseur rassemble sur une même plaque de silicium de 2 cm de côté tous les composants d'une **unité centrale de traitement** : unités de commande et de calcul.

Une histoire de l'architecture des ordinateurs...
Les cours Lumni - Lycée
Contenu proposé par
France Télévisions

4004 - Intel, 1971



Sortie	Fréq.	Transistors	Surface	Gravure (nm)
4004	1971	2300	12 mm ²	10 000

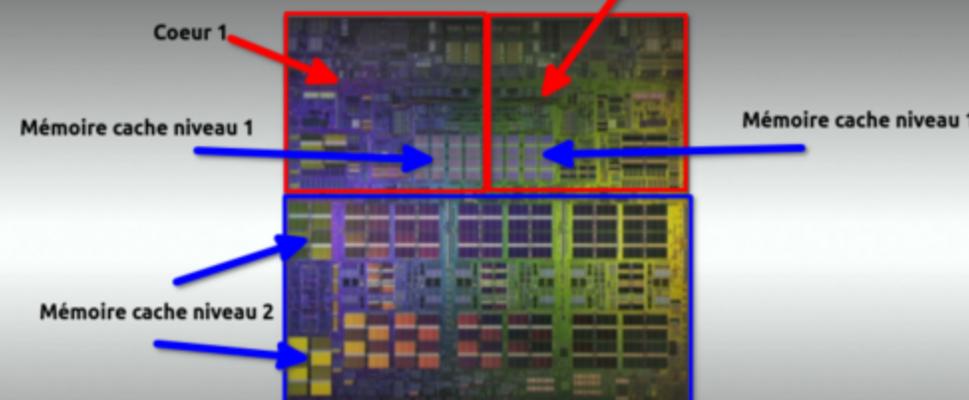
4

Exercice 1 Q1 IBM Power 4 (2001)

L'IBM Power 4 est le premier microprocesseur multicoeurs commercialisé. La puce contient également de la mémoire cache pour réduire l'écart de vitesse entre le processeur et la mémoire (goulot d'étranglement de Von Neumann.)

Une histoire de l'architecture des ordinateurs...
Les cours Lumni - Lycée
Contenu proposé par
France Télévisions

POWER4 - IBM, 2001



The image shows a micrograph of the IBM Power4 processor die. Two cores are visible, labeled 'Coeur 1' and 'Coeur 2'. Each core is surrounded by 'Mémoire cache niveau 1' (Level 1 cache). Below the cores is a larger area labeled 'Mémoire cache niveau 2' (Level 2 cache). Red arrows point to the cores, and blue arrows point to the cache areas.

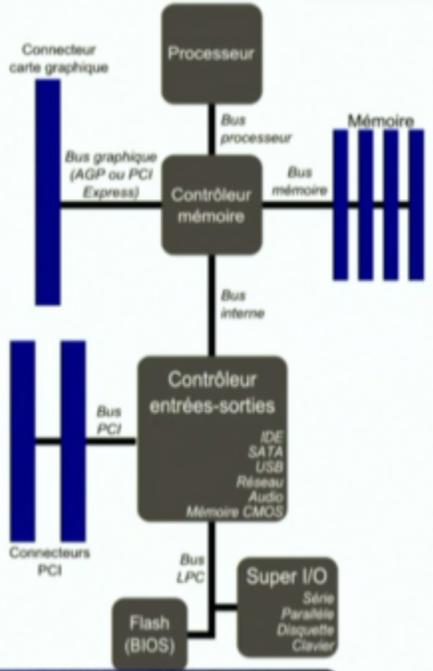
	Sortie	Fréq.	Transistors	Surface	Gravure (nm)
4004	1971	740 kHz	2300	12 mm ²	10 000
Power4	2001	1.1 GHz	174 000 000	412 mm ²	180

Exercice 1 Q12 Carte mère

Avec la multiplication des périphériques (réseau, graphique) et les besoins croissants en mémoire, se développe une architecture *carte mère* qui supporte un circuit imprimé reliant les différentes puces (microprocesseurs, mémoire) et les ports d'entrée/sortie.

Exercice 1 Q12 Carte mère

Architecture moderne, carte mère



LES COURS
Lumni
L Y C E E

NSI - UNE HISTOIRE DE L'ARCHITECTURE DES ORDINATEURS

Exercice 1 Q1 Nano-ordinateurs et micro-contrôleurs

Le Raspberry Pi, apparu en 2012 présente une carte mère simplifiée : la mémoire et le processeur graphique sont intégrés à la même puce que le microprocesseur. Les fonctions sans-fils (bluetooth, wifi) et d'entrée-sortie USB et Ethernet sont encore dans des puces distinctes.

Exercice 1 Q1 Nano-ordinateurs et micro-contrôleurs

Raspberry Pi 3 B+ – Raspberry Pi
Foundation, 2018

Lumni



Broadcom BCM2837Bo

- 4 cœurs Cortex-A53 64-bit à 1.4GHz
- 1GB LPDDR2 SDRAM
- Wifi, Bluetooth
- Ethernet
- USB
- HDMI

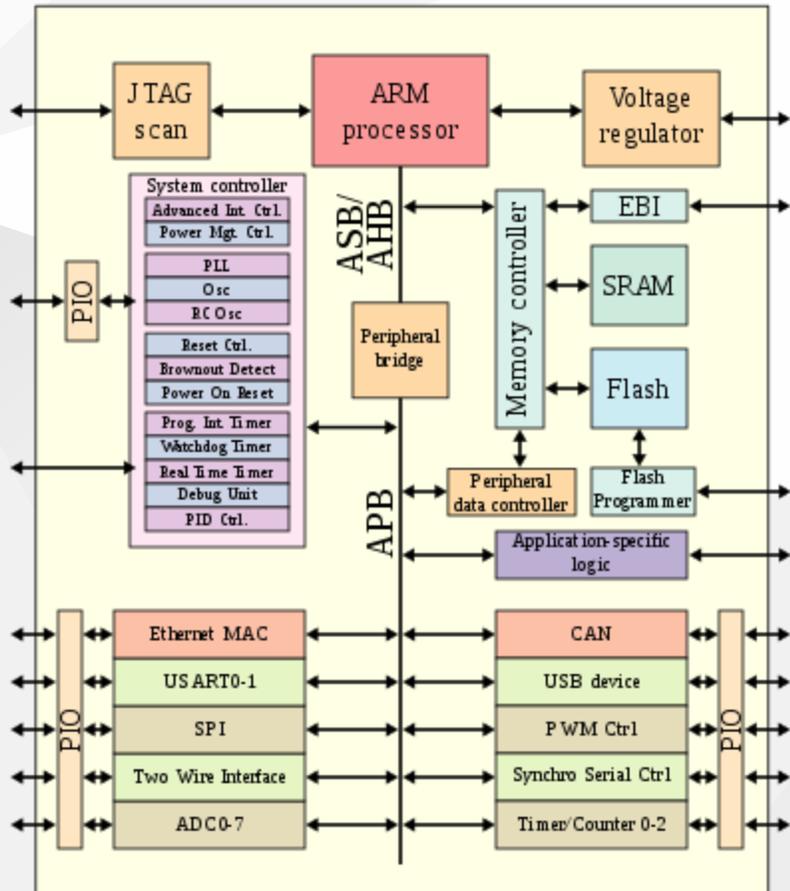


NSI - UNE HISTOIRE DE L'ARCHITECTURE DES ORDINATEURS

Exercice 1 Q1 System On Chip

Les puces pour smartphone poussent encore plus loin l'intégration : sur une même puce on rassemble le microprocesseur, la mémoire, le processeur graphique, les fonctions réseaux et GPS, des modules d'intelligence artificielle et de cryptographie etc ...

Exercise 1 Q1 System On Chip



Exercice 1 Q2 Qu'est-ce qu'un System On Chip ?

Un **système sur puce** ou **SOC** en anglais, est un circuit intégré qui intègre la plupart ou tous les composants d'un ordinateur ou d'un autre système électronique. Ces composants comprennent presque toujours une unité centrale de traitement (CPU), de la mémoire, des périphériques d'entrée/sortie et de stockage secondaire, souvent aux côtés d'autres composants tels que des modems radio, une unité de traitement graphique (GPU), des processeurs DSP (traitement du signal) et ISP (traitement d'image) - le tout sur un seul substrat ou une seule puce. (*Source : Wikipedia*)

Exercice 2 Q1

Dans l'architecture générale de Von Neumann, la partie qui a pour rôle d'effectuer les opérations de base est **l'unité arithmétique et logique**.

Exercice 2 Q2

Parmi tous les registres internes que possède une architecture mono-processeur, il en existe un appelé compteur ordinal *program counter*. Le rôle de ce registre est de **contenir l'adresse mémoire de la prochaine instruction à exécuter.**

Exercice 3 Q1

Voir le site <http://villemin.gerard.free.fr/Multimed/Gravure.htm>.

Plus de 20 milliards de transistors sont intégrés dans les super-puces en 2017.

Exercice 3 Q2

Voir le site <http://villemin.gerard.free.fr/Multimed/Gravure.htm>.

L'ordre de grandeur de l'investissement nécessaire pour bâtir une usine qui fabriquera des puces avec une finesse de gravure de 3 nanomètres est de plus de 20 milliards de dollars.

Exercice 3 Q3

L'autre fabricant, concurrent de Samsung, qui investit dans une usine capable de graver en 5 nanomètres est [TSMC](#) le *fondeur* taiwannais désormais numéro un mondial. Taiwan est l'objet de tensions géopolitiques entre la Chine et les USA.

Voir cet [article du Monde](#) de Janvier 2023.

Exercice 3 Q3

Une chaîne de production mondialisée et interdépendante

1 Conception des puces électroniques et des machines pour les produire

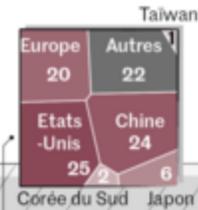
Les **Etats-Unis** jouent un rôle dominant, dans la recherche et développement, et dans les brevets

L'**Europe**, et principalement les Pays-Bas (avec l'entreprise ASML), détient le monopole des machines de lithographie extrême ultraviolet, permettant de produire les micro-processeurs les plus puissants

3 Assemblage, tri et conditionnement

La **Chine** est leader dans l'assemblage, l'emballage et les tests, mais a un retard technologique dans la fabrication

Consommation de semi-conducteurs
Part par pays, en 2019



2 Fabrication des semi-conducteurs

La **Corée du Sud**, le **Japon** et **Taiwan** sont les leaders mondiaux dans la fabrication, et notamment dans la technologie inférieure à 7 nanomètres

4 Distribution et vente

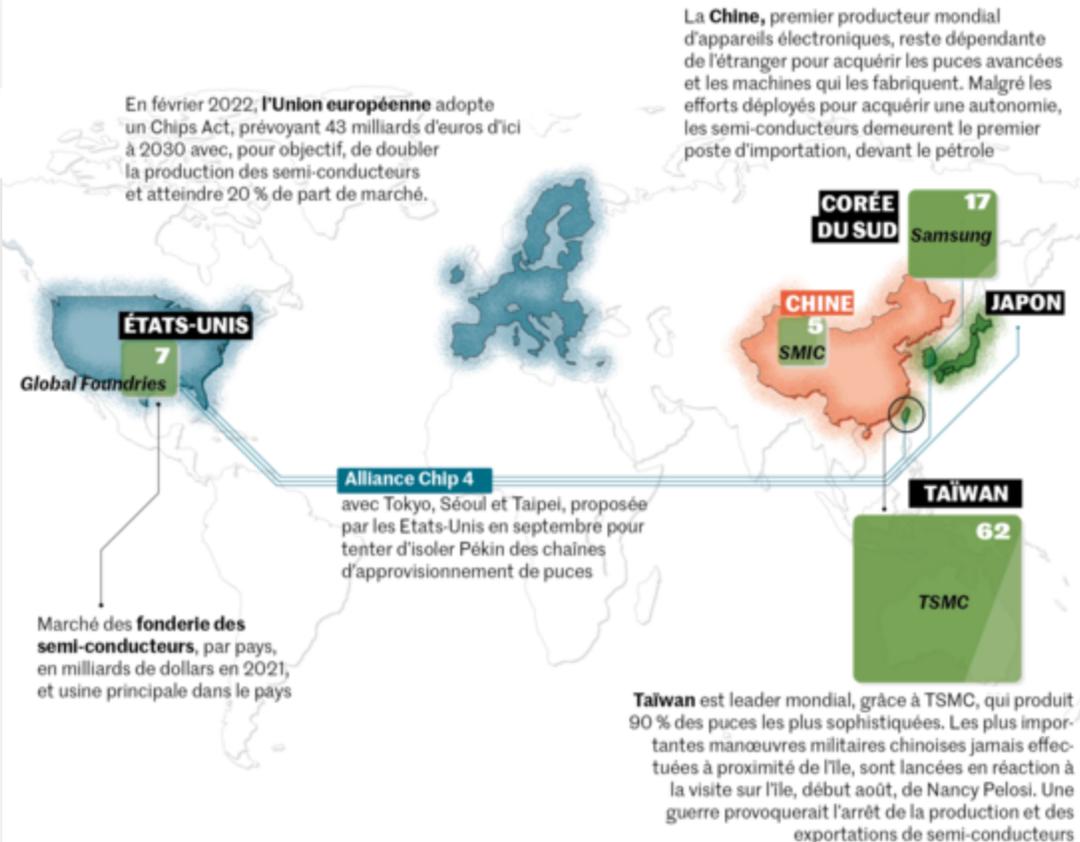
Les **Etats-Unis** constituent le premier marché mondial, juste devant la **Chine**

Sources : A. Pannier, « La course aux technologies, numériques », Ramses 2021, IFRI, 2021 ; Mathieu Duchâtel, « The Weak Links in China's Drive for Semiconductors », Institut Montaigne, 2021 ; Boston Consulting Group, Semiconductor Industry Association, « Strengthening the Global Semiconductor Supply Chain in an Uncertain Era », 2021 ; ISPI ; Le Monde

Infographie Le Monde

Exercice 3 Q3

Les Etats-Unis veulent isoler la Chine



Infographie Le Monde

Sources : A. Pannier, « La course aux technologies, numériques », Ramses 2021, IFRI, 2021 ; Mathieu Duchâtel, « The Weak Links in China's Drive for Semiconductors », Institut Montaigne, 2021 ; Boston Consulting Group, Semiconductor Industry Association, « Strengthening the Global Semiconductor Supply Chain in an Uncertain Era », 2021 ; ISPI ; Le Monde

Exercice 4 Q1 Jeu d'instruction RISC

Source : *Architecture des ordinateurs* d'Emmanuel Lazard.

Le **jeu d'instructions** est l'ensemble des instructions-machine qu'un processeur d'ordinateur peut exécuter. Le nombre d'instructions varie typiquement entre 50 et 250. Historiquement les jeux d'instructions se sont complexifiés imposant la mise en place d'un *séquenceur microprogrammé*. Cette architecture, emblématique des processeurs [Intel](#), se nomme [CISC](#) pour (*Complex Instruction Set Computer*).

Exercice 4 Q1 Jeu d'instruction CISC

Source : *Architecture des ordinateurs* d'Emmanuel Lazard.

Dans les années 1980, d'autres constructeurs (Motorola) développent des architectures avec un petit nombre d'instructions faciles à réaliser dans un *séquenceur câblé* ce qui permet par exemple d'exécuter une instruction par cycle d'horloge. L'optimisation du code repose sur le compilateur. Cette architecture se nomme RISC pour (*Reduced Instruction Set Computer*).

Exercice 4 Q1 Jeu d'instruction CISC

Les **microcontrôleurs** privilégient les architectures [RISC](#) pour des questions de simplicité, d'efficacité et de moindre dissipation thermique.

Exercice 4 Q1 architecture hybride

Source : *Architecture des ordinateurs* d'Emmanuel Lazard.

Les deux architectures se sont rapprochées (Pentium Pro). Les architectures CISC ont conservé un jeu d'instructions complexes mais qui fait un appel à un micro-programme constitué d'instructions simples. Les architectures RISC ont enrichi leur jeu d'instructions (calcul flottant et vectoriel ...)

Exercice 4 Q2 Mémoire vive ou morte

Source : *Architecture des ordinateurs* d'Emmanuel Lazard.

La **mémoire vive** est accessible en lecture/écriture uniquement lorsque l'ordinateur est alimenté (*mémoire volatile*). C'est une mémoire de type *RAM (Random Access Memory)* où le temps d'accès est indépendant du numéro de la cellule adressée. Techniquement, on distingue la *SRAM (Static RAM)* qui n'a pas besoin d'être rafraîchie (accès rapide, registres et mémoires caches proches du processeur), de la *DRAM (Dynamic RAM)* qui nécessite un rafraîchissement périodique (plus lente, barrettes de mémoire).

Exercice 4 Q2 Mémoire vive ou morte

Source : *Architecture des ordinateurs* d'Emmanuel Lazard.

La **mémoire morte** *ROM (Read Only Memory)* est accessible en lecture uniquement. Elle est accessible même lorsque l'ordinateur est éteint (*mémoire permanente*). On distingue la mémoire *PROM* programmable une seule fois et de manière irréversible ; la mémoire *EPROM* ou *REEPROM* pouvant être effacée par exposition aux rayons ultraviolets et la mémoire *EEPROM (Electrically Erasable ROM)* ou mémoire flash à effacement électrique.

Exercice 4 Q2 Microcontrôleur

Sur une carte [micro:bit](#) on dispose par défaut :

- de **capteurs** : LED (mesure d'intensité lumineuse), magnétomètre (compas), accéléromètre, antennes en réception (bluetooth et radio), boutons pressoirs, port USB en réception
- d'**actionneurs** : LED (émission de lumière), antennes en émission (bluetooth et radio), port USB en émission

Certains composants peuvent être à la fois **capteurs** et **actionneurs**.

Exercice 5 Architecture de Harvard Q1

Source : Chat GPT (relu)

[L'architecture de Von Neumann](#) et celle de [Harvard](#) sont deux des premières architectures d'ordinateurs développées au XXe siècle. L'architecture de Von Neumann est la plus courante, tandis que l'architecture de Harvard est plus rare et se trouve généralement dans des systèmes embarqués spécialisés.

Exercice 5 Architecture de Harvard Q1

Source : Chat GPT (relu)

Première différence entre les architectures de Von Neumann et Harvard.

Mémoire : Dans l'architecture de Von Neumann, la mémoire est un bloc unique pour les données et les instructions, ce qui signifie que le processeur doit accéder à la même mémoire pour charger à la fois les instructions et les données. En revanche, l'architecture de Harvard dispose de deux blocs de mémoire distincts, l'un pour les instructions et l'autre pour les données, ce qui permet d'accéder aux deux types de mémoire simultanément.

Exercice 5 Architecture de Harvard Q1

Source : Chat GPT (relu)

Seconde différence entre les architectures de Von Neumann et Harvard.

Bus de communication : Dans l'architecture de Von Neumann, il y a un seul bus pour le transfert de données et d'instructions, ce qui peut entraîner des goulots d'étranglement lors de la lecture de grandes quantités de données. En revanche, l'architecture de Harvard dispose de deux bus de données distincts, un pour les instructions et un pour les données, ce qui permet de transférer les deux types simultanément.

Exercice 5 Architecture de Harvard Q1

Source : Chat GPT (relu)

Troisième différence entre les architectures de Von Neumann et Harvard.

Vitesse d'exécution : L'architecture de Harvard est généralement plus rapide que l'architecture de Von Neumann, car elle peut accéder simultanément à la mémoire d'instructions et à la mémoire de données. Cependant, l'architecture de Von Neumann est plus flexible, car elle permet d'utiliser la mémoire pour les données et les instructions selon les besoins.

Exercice 5 Architecture de Harvard Q1

Source : ChatGPT

Quatrième différence entre les architectures de Von Neumann et Harvard.

Coût : L'architecture de Harvard est généralement plus coûteuse à mettre en œuvre que l'architecture de Von Neumann, en raison de la nécessité de disposer de deux blocs de mémoire et de deux bus de données.

Exercice 5 Architecture de Harvard Q1

Source : Chat GPT (relu)

Résumé de la comparaison entre les architectures de Von Neumann et Harvard.

L'architecture de Von Neumann utilise une mémoire unique pour les données et les instructions et un seul bus de communication processeur/mémoire, tandis que l'architecture de Harvard dispose de deux blocs de mémoire distincts et deux bus séparés (instructions et données), ce qui permet d'accéder simultanément aux instructions et aux données.

Exercice 5 Architecture de Harvard Q2

Le nom [architecture de Harvard](#) de cette structure vient du nom de l'université Harvard où une telle architecture a été mise en pratique pour la première fois avec le [Mark I](#) en 1944.

Exercice 6 SOC Q1 Architecture ARM

Source : Wikipedia

Le jeu d'instructions du processeur du SOC [Qualcom Snapdragon 835](#) est ARMv8-A.

Les architectures [ARM](#) sont de type RISC. À faible consommation énergétique, ils sont dominants de nos jours dans les SOC où ils sont vendus sous licence de propriété intellectuelle aux constructeurs de SOC qui peuvent prendre ce qui les intéresse pour compléter avec leurs options propres ou celles d'autres concepteurs tiers.

Exercice 6 SOC Q2 Finesse de gravure.

Source : Wikipedia

La puce est gravée en 10 nm par Samsung.

Exercice 6 SOC Q3 Low Power

Source : Wikipedia

[LPDDR4](#) signifie *Low Power Double Data Rate 4*, c'est un format de mémoire pour périphérique basse consommation développé par Samsung.

Exercice 6 SOC Q4 Modules de communication

Plusieurs modes de connectivité sont disponibles sur le SOC [Qualcom Snapdragon 835](#) : Wi-Fi, Bluetooth, Voix sur réseau commuté LTE ([VoLTE](#))

Exercice 6 SOC Q5 Processeur DSP

Source : Chat GPT (relu) et Wikipedia

Un processeur [DSP](#) est un type de processeur conçu pour traiter rapidement des signaux numériques à l'aide d'algorithmes mathématiques spécialisés, et est utilisé dans de nombreuses applications telles que le traitement audio (supprimer les bruits de fond), le traitement d'images (améliorer la qualité d'une image) et la reconnaissance de voix (reconnaître les commandes vocales).

Exercice 6 SOC Q6 Processeur ISP

Source : Chat GPT (relu)

Un **processeur ISP**, ou processeur de traitement d'images, est un type de processeur conçu pour traiter les images à partir d'un capteur d'appareil photo ou d'une caméra. Il est utilisé dans de nombreux appareils pour améliorer la qualité d'image, la vitesse de traitement et la consommation d'énergie en effectuant des opérations de traitement d'image avancées.